

1/5/8

DIALOG(R) File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

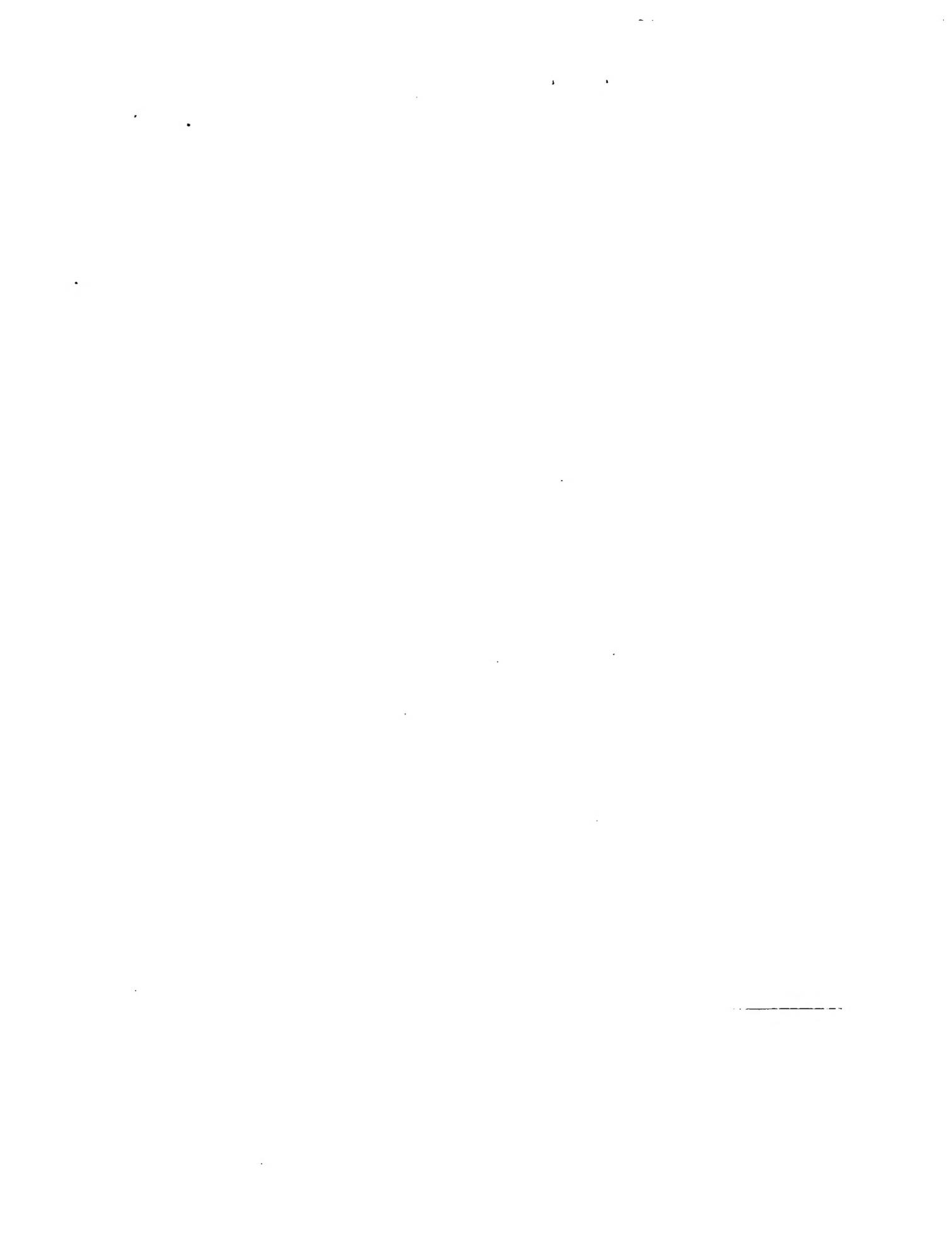
02149779 **Image available**
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 62-066679 A}
PUBLISHED: March 26, 1987 (19870326)
INVENTOR(s): TAKAGI HIDEO
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 60-207520 [JP 85207520]
FILED: September 19, 1985 (19850919)
INTL CLASS: [4] H01L-029/78; H01L-021/28; H01L-029/54; H01L-029/62
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: E, Section No. 534, Vol. 11, No. 257, Pg. 76, August
20, 1987 (19870820)

ABSTRACT

PURPOSE: To accelerate the speed of a semiconductor device by independently controlling the layer resistance value of a high melting point metal silicide layer on a gate electrode, source and drain regions to prevent a stress from generating in a substrate and to reduce the resistance of the gate electrode.

CONSTITUTION: A gate oxide film 2, a polysilicon layer 3 and a TiSi_(sub 2) layer 4 as a high melting point metal silicide layer are sequentially coated on a semiconductor substrate 1, and the layers are patterned to form a gate electrode. With the electrode as a mask N^(sup +) type source and drain regions 11, 12 are formed by ion implanting. Then, an SiO_(sub 2) side wall 5 is formed, a Ti layer 6 is coated as a high melting point metal layer on the entire substrate, TiSi_(sub 2) layers (6A-G), (6A-S), (6A-D) are formed as high melting point silicide layer by solid phase reaction, and the Ti on the wall 5 is removed. Aluminum electrodes are formed on the layers (6A-S), (6A-D) of the source and drain regions.



⑪ 公開特許公報 (A)

昭62-66679

⑪ Int. Cl. 4

H 01 L 29/78
21/28
29/54
29/62

識別記号

庁内整理番号

⑪ 公開 昭和62年(1987)3月26日

8422-5F
7638-5F

審査請求 未請求 発明の数 1 (全4頁)

⑫ 発明の名称 半導体装置の製造方法

⑪ 特願 昭60-207520

⑪ 出願 昭60(1985)9月19日

⑫ 発明者 高木英雄 川崎市中原区上小田中1015番地 富士通株式会社内

⑪ 出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑪ 代理人 弁理士 井桁貞一

明細書

1. 発明の名称

半導体装置の製造方法

領域上のそれより小さくして集積回路の配線抵抗を引き下げて高速化をはかるため、ゲート上に前もって高融点金属シリサイド層を敷くことにより目的を達する。

2. 特許請求の範囲

半導体基板(1)上のゲート形成領域に高融点金属シリサイド層(4)を形成し、

該高融点金属シリサイド層(4)上、および半導体基板(1)上に高融点金属層(6)を形成し、加熱により該高融点金属層(6)を高融点金属シリサイド層(6A-G)、(6A-S)、(6A-D)に変換する

工程を含むことを特徴とする半導体装置の製造方法。

(産業上の利用分野)

本発明は高融点金属の固相反応を用いてゲート電極、およびソース、ドレイン領域上に高融点金属シリサイド層を形成する工程を含む半導体装置の製造方法に関する。

従来、ゲート電極は多結晶珪素(ポリSi)で形成され、かつ延長して配線に用いられているため、配線抵抗値を引き下げる必要がある。そのためゲート電極はポリサイドと呼ばれる、ポリSi上に高融点金属シリサイドを被覆した複合層が用いられることがある。

最近、集積回路の高集積化、高速化の要望より素子が微細化され、ソース、ドレイン領域も薄く(薄く)なり、従って層抵抗は100Ω/□程度と大きくなるため、これを補い、かつ電極とのコン

3. 発明の詳細な説明

(概要)

高融点金属の固相反応を用いてゲート電極、およびソース、ドレイン領域上に高融点金属シリサイド層を形成する際に、ゲート電極上の高融点金属シリサイド層の層抵抗値を、ソース、ドレイン

タクトをよくするためにソース、ドレイン領域上にも高融点金属シリサイドを形成することが検討されている。

この場合、ソース、ドレイン領域上の高融点金属シリサイド層の層抵抗値は数Ω/□でよいが、配線を兼ねるゲート電極上のそれは1Ω/□以下を狙うため、高融点金属シリサイド層形成のための高融点金属層を厚く被着しなければならず、大きなストレスを基板にあたえ、ゲートとソース、ドレインがショートすることになり、その対策が要望されている。

[従来の技術]

第2図(1)～(4)はゲート電極、およびソース、ドレイン領域上に高融点金属シリサイド層を形成する従来例による方法を工程順に説明する断面図である。

第2図(1)において、1は半導体基板、例えばp型珪素(p-Si)基板で、この上に熱酸化により厚さ200～500Åのゲート酸化膜2、化学気相成長

以上により主要工程は終わる。

図示していないが、この後CVD法により基板全面に構造ガラス(PSG)層を被着し、ソース、ドレイン領域のTiSi₂層(6A-S)、(6A-D)上に、またはそのいずれかにコンタクト孔を開けてアルミニウム(A1)電極を形成する。

[発明が解決しようとする問題点]

ゲート電極、およびソース、ドレイン領域上に固相反応により高融点金属シリサイド層を形成する従来方法によると、ゲート電極上とソース、ドレイン領域上の高融点金属シリサイド層の層抵抗値をそれぞれ独立に制御することはできなく、従ってゲート電極の高融点金属シリサイド層の層抵抗値を下げるためには、高融点金属シリサイド層形成のための高融点金属を厚く被着しなければならず、大きなストレスを基板にあたえると云う欠点がある。

[問題点を解決するための手段]

(CVD)法により厚さ5000ÅのポリSi層3を順次被着し、通常のフォトプロセスを用いてこれらの層をバーニングしてゲート電極を形成する。

つぎに、ゲート電極をマスクにして、イオン注入によりn⁺型のソース、ドレイン領域11、12を形成する。

第2図(2)において、CVD法により、ゲート電極を覆って基板上全面に厚さ2000～4000Åの二酸化珪素(SiO₂)層を被着し、リアクティブイオンエッティング(RIE)法による垂直方向に優勢な異方性エッティングを用いてSiO₂サイドウォール5を形成する。

第2図(3)において、スパッタ法により、基板全面に高融点金属層として厚さ300Åのチタン(Ti)層6を被着する。

第2図(4)において、アニールしてTiとSiの固相反応により高融点シリサイド層としてTiSi₂層(6A-G)、(6A-S)、(6A-D)を形成し、SiO₂サイドウォール5上のTiは選択エッティング法により除去する。

上記問題点の解決は、半導体基板(1)上のゲート電極形成領域に高融点金属シリサイド層(4)を形成し、該高融点金属シリサイド層(4)上、および半導体基板(1)上に高融点金属層(6)を形成し、加熱により該高融点金属層(6)を高融点金属シリサイド層(6A-G)、(6A-S)、(6A-D)に変換する工程を含む本発明による半導体装置の製造方法により達成される。

[作用]

本発明はゲート電極とソース、ドレイン領域上の高融点金属シリサイド層の層抵抗値をそれぞれ独立に制御するために、低抵抗値が要求されるゲート電極上にあらかじめ高融点金属シリサイド層を敷いておき、その上に従来と同程度の厚さの高融点金属層を被着し、固相反応により高融点金属シリサイド層に変換するものである。

このようにすれば、従来と同程度の厚さの高融点金属層の被着でよく、従って基板のストレス発生を防止し、かつゲート電極の抵抗を下げ、デバイスの高速化を可能とする。

(実施例)

第1図(1)～(4)はゲート電極、およびソース、ドレイン領域上に高融点金属シリサイド層を形成する本発明による方法を工程順に説明する断面図である。

第1図(1)において、1は半導体基板、例えばp-Si基板で、この上に熱酸化により厚さ200～500Åのゲート酸化膜2、CVD法により厚さ2000ÅのポリSi層3、スパッタ法により高融点金属シリサイド層として厚さ1000ÅのTiSi₂層4を順次被着し、通常のフォトプロセスを用いてこれらの層をパターニングしてゲート電極を形成する。

つぎに、ゲート電極をマスクにして、イオン注入によりn⁺型のソース、ドレイン領域11、12を形成する。

第1図(2)において、CVD法により、ゲート電極を覆って基板上全面に厚さ2000～4000ÅのSiO₂層を被着し、RIE法による垂直方向に優勢な異方性エッティングを用いてSiO₂サイドウォール5を形成

する。

第1図(3)において、スパッタ法により、基板全面に高融点金属層として厚さ300ÅのTi層6を被着する。

第1図(4)において、アニールしてTiとSiの固相反応により高融点シリサイド層としてTiSi₂層(6A-G)、(6A-S)、(6A-D)を形成し、SiO₂サイドウォール5上のTiはエッティングにより除去する。

アニール、およびエッティング条件は次のとおりである。

まず、650～700℃でプレアニールして、ポリSi層3、およびSi基板1上のTiをTiSi₂に変換し、過酸化水素(H₂O₂)と水酸化アンモニウム(NH₄OH)を水で希釈した液でエッティングして、SiO₂サイドウォール5上のTiを除去する。

つぎに、約800℃でアニールを行う。

以上により主要工程は終わる。

図示していないが、この後CVD法により基板全面にPSG層を被着し、ソース、ドレイン領域のTiSi₂層(6A-S)、(6A-D)上に、またはそのいずれか

にコンタクト孔を開けてAl電極を形成する。

実施例においては、高融点金属層としてTiを用いたが、これの代わりに他の高融点金属層、例えばタンクスチタン(W)を用いてもよい。

(発明の効果)

以上詳細に説明したように本発明によれば、ゲート電極、およびソース、ドレイン領域上に高融点金属シリサイド層を形成する際、ゲート電極とソース、ドレイン領域上の高融点金属シリサイド層の層抵抗値をそれぞれ独立に制御することができるため、基板にストレスをあたえないで、またゲートとソース、ドレインがショートしない厚さで高融点金属シリサイド層形成のための高融点金属を被着でき、かつゲート電極の抵抗を下げ、高速デバイスが得られる。

4. 図面の簡単な説明

第1図(1)～(4)はゲート電極、およびソース、ドレイン領域上に高融点金属シリサイド層を形成す

る本発明による方法を工程順に説明する断面図、

第2図(1)～(4)はゲート電極、およびソース、ドレイン領域上に高融点金属シリサイド層を形成する従来例による方法を工程順に説明する断面図である。

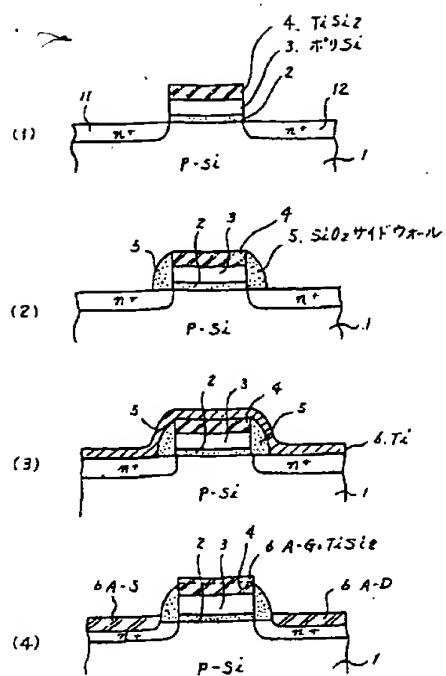
図において、

1は半導体基板で、例えばp-Si基板、
11、12はソース、ドレイン領域、
2はゲート酸化膜、
3はポリSi層、
4は高融点金属シリサイド層でTiSi₂層、
5はSiO₂サイドウォール、
6は高融点金属層でTi層、
6A-G、6A-S、6A-Dは高融点シリサイド層でTiSi₂層

である。

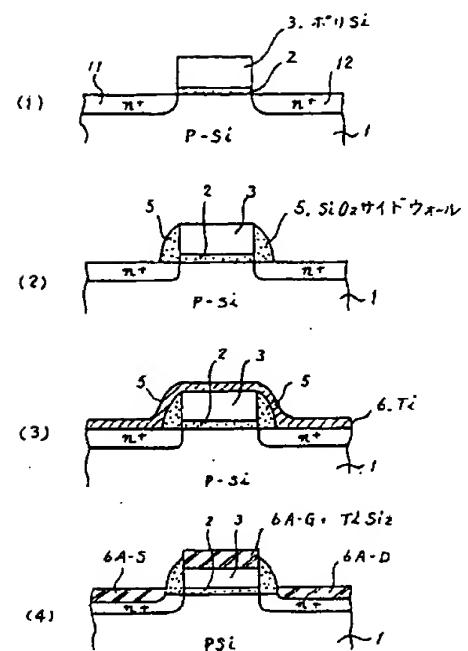
代理人 弁理士 井桁貞一





本発明の工程を説明する断面図

第1図



従来工程を説明する断面図

第2図